

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-175041

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 09-356239

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 08.12.1997

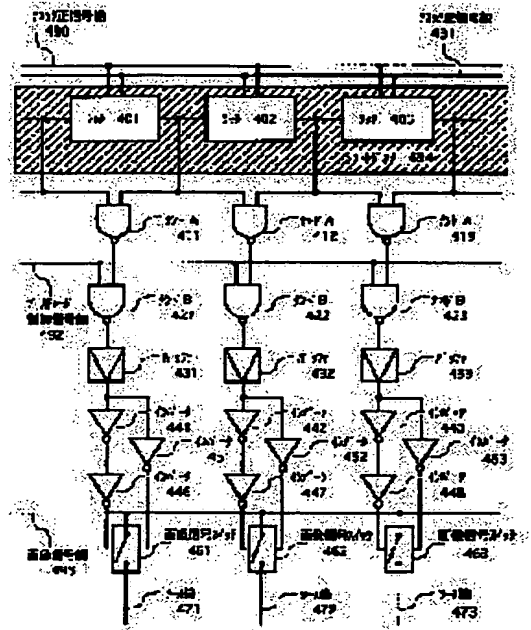
(72)Inventor : KOYAMA JUN

(54) SEMICONDUCTOR DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit configuration capable of performing a precharge with a small area.

SOLUTION: A source driving circuit has also a control function for deciding whether or not the precharge is performed. Then, the precharge can be performed by providing a precharge control line 496 and logical element NAND B421 to B423 in the source driving circuit and by turning picture signal switches 461 to 463 ON while making the signal of the precharge control line 492 active during a horizontal fly-back period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-175041

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁸

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数 5 F D (全 10 頁)

(21) 出願番号 特願平9-356239

(22) 出願日 平成9年(1997)12月8日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

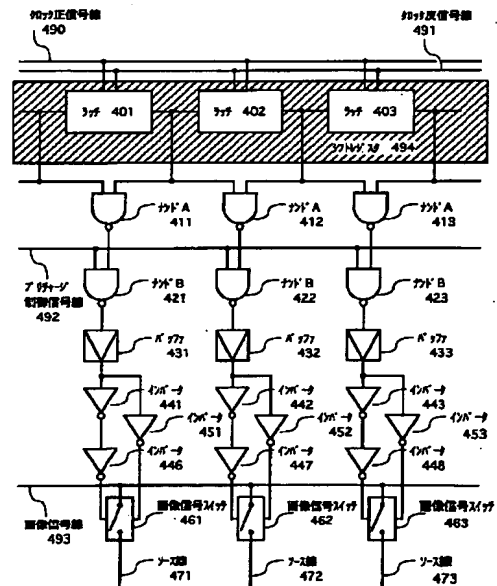
(54) 【発明の名称】 半導体装置及びその駆動方法

(57) 【要約】

【課題】 小面積でプリチャージができる回路構成を提供する。

【解決手段】 プリチャージをするか否かの制御機能をソース駆動回路に併有させる。ソース駆動回路中にプリチャージ制御信号線492と論理素子ナンドB421～423とを具備し、水平掃線期間中にプリチャージ制御信号線492の信号をアクティブにすることにより、画像信号スイッチ461～463をオンにしてプリチャージを行うことができる。

本発明を実施したソース駆動回路の例1



【特許請求の範囲】

【請求項1】 画像信号の書き込みを受ける複数の画素が行列配置されている画素マトリクス部と、ゲート駆動回路に接続するゲート線を介してゲート線選択信号を該画素マトリクス部に順次供給して、前記画像信号の書き込みを受ける画素を行単位で順次選択する該ゲート駆動回路と、書き込み期間内ではソース駆動回路に接続するソース線を介して画像信号を該画素マトリクス部に供給する該ソース駆動回路とを具えた半導体装置において、該画素マトリクス部、該ゲート駆動回路および該ソース駆動回路は絶縁表面を有する同一の基板上に製造工程上同時に形成され、該ソース駆動回路は水平掃線期間内ではソース線をプリチャージすることが可能であることを特徴とする半導体装置。

【請求項2】 前記ソース駆動回路はプリチャージ制御信号線と各々が複数の入力部をもつ複数の論理素子とを具え、

該プリチャージ制御信号線は、該複数の論理素子それぞれの入力部の一つに接続し、水平掃線期間内にソース線をプリチャージすることを可能とするために外部より供給されるプリチャージ制御信号の伝達を行うことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体装置がアクティブマトリクス型の液晶表示装置であることを特徴とする請求項2に記載の半導体装置。

【請求項4】 ゲート駆動回路が、該ゲート駆動回路に接続する少なくとも一つのゲート線を介してゲート線選択信号オンを該画素マトリクス部に供給して、前記画像信号の書き込みを受ける画素を行単位で選択し、ソース駆動回路が、該ソース駆動回路に接続するソース線を介して画像信号を該画素マトリクス部に供給して、点順次方式で画素に書き込みを行うステップと、該ゲート駆動回路が、該ゲート駆動回路に接続する全てのゲート線を介してゲート線選択信号オフを該画素マトリクス部に供給し、該ソース駆動回路が、該ソース線をプリチャージするステップとを、包含することを特徴とする半導体装置の駆動方法。

【請求項5】 前記点順次方式で画素に書き込みを行うステップと、該ソース線をプリチャージするステップとが、各水平走査期間に包含されていることを特徴とする請求項4に記載の半導体装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、アクティブマトリクス型の表示用半導体装置の駆動回路並びに駆動方法に関する。本発明は画素マトリクス部と駆動回路とを同一基板上に一体形成するアクティブマトリクス液晶表示装置（より詳しくは液晶表示装置の駆動基板）で、画素マトリクスへの画像情報の書き込みが点順次方式で行われる場合に利用できる。しかしその他E

L表示装置、プラズマディスプレイ等に用いることもできる。

【0002】

【従来の技術】 アクティブマトリクス型の半導体表示装置の一例として、液晶表示装置がある。図1にアクティブマトリクス型の液晶表示装置の構成例を示す。図1の液晶表示装置は、基板101上にソース駆動回路102、ゲート駆動回路103および画素マトリクス部104を薄膜トランジスタ（TFTと略称する）を用いて製造工程上同時形成する方式（駆動回路一体方式と称する）であるが、この他にソース駆動回路、ゲート駆動回路等を別途ICで作製し、基板上に形成された画素マトリクス部と接続する方式（IC外付け方式と称する）もある。駆動回路一体方式では製造工程が簡略化されているのが利点であるが、一般的にポリシリコン（多結晶珪素）TFTが用いられるため基板が高価となる。一方IC外付け方式では工程数は増えるが、一般的にアモルファスシリコン（非晶質珪素）TFTが用いられるため基板は安価である。以下に画像の表示を行うための動作を、図1を参照しつつ説明する。

【0003】 画素マトリクス部102には、ソース線103とゲート線105とが格子状もしくはデルタ画素配置などに対応した格子類似の形状に配置され、その交点部には図8に示されるように画素薄膜トランジスタ（画素TFT）が設置されている。画素TFTのゲート電極はゲート線に、ソース・ドレイン電極の一方はソース線に、他方は画素電極に接続している（以後本明細書においては便宜上、画素TFTについてソース線に接続している側をソース、画素電極に接続している側をドレインと呼称する）。

【0004】 ゲート駆動回路106からゲート線105に供給されるゲート線選択信号がオンとなり、画素TFTのゲート電極にしきい値以上の大きさの電圧が印加されると、画素TFTのソースとドレインは導通状態となり、ソース線を通して送られてくる画像信号の内容（すなわち画像情報）が画素電極に書き込まれる。逆にゲート選択信号がオフのときは画素TFTのソースとドレインは絶縁状態であり、ソース線に送られてきた信号の内容は画素電極に書き込まれず、画素電極に保持されていた画像情報がそのまま保持され続ける。

【0005】 横1行の各画素TFTはゲートを同一のゲート線に接続している。従って横1行の画素TFTはそれぞれ、同時に書き込み可能あるいは不能な状態となる。そしてゲート線選択信号オンの期間内に、ソース駆動回路104が各ソース線に画像信号を供給することで、意図通りの画像情報が横1行の各画素電極に書き込まれる。

【0006】 ソース駆動回路が画像信号を各ソース線に供給する形態として通常使われているものは、大別すると点順次方式と線順次方式との二種類がある。点順次方

式では各ソース線に画像信号が順次供給され水平掃線期間内では画像情報の書き込みをしないのに対して、線順次方式では各ソース線に画像信号が同時に供給され水平掃線期間内にも画像情報の書き込みをすることもできる。図2に従来の点順次方式ソース駆動回路の構成例を示す。これは全ソース線N本中3本分のみの抜粋であり、パッファ231~233にはレベルシフタ（電圧変換器）、インバータなどが含まれる。

【0007】画素電極横1行分の画像情報の書き込みをした後、ゲート駆動回路はそのゲート線にゲート線選択信号オフを出し、次のゲート線にゲート線選択信号オンを出力する。そして上述のような画像情報の書き込みが次の横1行分の各画素電極について行われる。このようにゲート線選択信号オンを受けるゲート線が順次交替することにより、画像情報の書き込みが行われる横1行分の画素電極が順次移動し、画素マトリクス部全体または一部分で1画面分の画像を表示することが可能となる。画像の表示は、通常は1秒間に60画面もしくは30画面行われる。

【0008】さらに液晶表示装置においては、画素電極に直流の電圧を掛け続けると電気化学的な反応により液晶の寿命を縮めるなどの問題があり、画像信号の符号

（正負）を1画面毎に反転する交流駆動が行われるのが一般である。しかし1画面おきに、全て正信号により画像情報を書き込んだり全て負信号により画像情報を書き込んだりすると、TFTにおいては信号の正負により情報の伝達される速度等が異なることから、1画面おきに画像の明暗やコントラストに大きな違いが生じ、チラついた画像となってしまう。そこで画素マトリクスの横1行毎、すなわち同一ゲート線にゲートが接続する画素TFT1単位毎に画像信号の正負を反転したり（これをゲート線反転操作と称する）、縦1列毎、すなわち同一ソース線にソースが接続する画素TFT1単位毎にも画像信号の正負を反転したり（これをソース線反転操作と称する）する。最も望ましいのはゲート線反転とソース線反転とを併用することであるが、これは特にドット反転操作と称される。

【0009】ところが次のような理由からゲート線反転操作を行う場合（ドット反転操作も含む）、それを行わないときと比較し一般に画素電極への画像情報の書き込みが必要とされる時間は増加する。まず各ソース線には寄生容量、浮遊容量があるため、一度画素電極への書き込みをするとソース線にも画像情報が残存する。しかもこの寄生容量、浮遊容量は画素容量より通常1~2桁も大きいものである。一方ゲート線反転操作においては書き込み1回毎に画像情報の正負が反転する。とすると書き込みのときには常にソース線には逆符号の電荷が大量に残っていることになる。するとその分余計に充電することが必要となり、すなわち書き込みに要する電荷が増え、書き込み所要時間の増加をもたらす。

【0010】しかし書き込み時間の増加は、今後ますます需要が強まる大画面、高画質化を不可能とする。そこで書き込み時間を変化させることなくゲート線反転操作を行う手段として、書き込みに先立って各ソース線をプリチャージするという方法とられることがある。プリチャージとは残存している反対電荷を除去すること（これを本明細書では消極的プリチャージと称する）、或いはさらに進んでこれから書き込みする符号の或電位値を保つ程度の電荷を供給すること（これを本明細書では積極的プリチャージと称する）をいう。ここで電位の基準（0V）は対向電極810である。

【0011】駆動回路一体方式でのプリチャージは従来、専用のプリチャージ回路により行っていた（プレスジャーナル社刊、Semiconductor World, 1995.5号、158-161頁 等参照）。従来のプリチャージ回路の構成例を図3に示す。図3ではソース線3本分についてのみしか描かれていないが、当然全ソース線N本分同様の回路が存在する。そのためソース駆動回路の1/2から1/8程度の大きさの面積が、プリチャージ回路のために占められる。

【0012】しかし駆動回路一体方式では高価な石英基板が用いられるのが通常であり、基板の大きさは半導体装置自体の生産価格の上昇に直結する。画面の見易さを維持し生産価格を削減するには、基板の大きさに対する画面面積（画面面積比）を大きくすることは不可欠であり、プリチャージ回路を作らずに済ませることはその手段として大きな価値を有する。

【0013】

【発明が解決しようとする課題】本明細書で開示する発明はアクティブマトリクス型の半導体装置を駆動回路一体方式で製造する場合において、専用のプリチャージ回路によらずに各ソース線をプリチャージすることが可能な構成を提供することを課題とする。

【0014】なおアモルファスシリコンTFTを用いたIC外付け方式の液晶表示装置においては、専用のプリチャージ回路によらずにソース駆動回路によりプリチャージを行う方法は、特開平7-121139掲載の方法が既に知られている。しかし駆動回路一体方式の半導体装置において、上記文献の方法を直接適用することはできない。なぜなら駆動回路一体方式のソース駆動回路とIC外付け方式のソース駆動回路とは、機能や構成、制約に相違があるからである。すなわち駆動回路一体方式では、ポリシリコンTFTを一般に使うため画像信号を各画素に書き込む時間は短い反面、TFTによりアナログ信号の増幅を正確に行うことが困難なことから、ソース駆動回路ではアナログ信号である画像信号の保持は行われずに画像信号が点順次方式で書き込まれるのが通常である。逆にアモルファスシリコンTFTを使うIC外付け方式では、画像信号を各画素に書き込む時間を長くするため線順次書き込みを行うのが一般である。また駆

動回路一体方式では、駆動回路面積抑制の要求がIC外付け方式よりも強く、できる限り単純で小規模な回路構成を具体的に与えることの必要性が高い。ここに本発明の独自の価値が存する。

【0015】

【課題を解決するための手段】本明細書で開示する発明の一つは、画素マトリクス部とゲート駆動回路とソース駆動回路とを具え、該画素マトリクス部は、画像信号の書き込みを受ける複数の画素が行列配置（デルタ画素配置等も当然含まれる）されており、該ゲート駆動回路は、前記画素を行単位で画像信号の書き込みを受け得る状態に設定するために、該ゲート駆動回路に接続するゲート線を介してゲート線選択信号を該画素マトリクス部に順次供給する半導体装置において、該ソース駆動回路は、書き込み期間内では該ソース駆動回路に接続するソース線を介して画像信号を該画素マトリクス部に供給し、水平帰線期間内ではソース線をプリチャージすることが可能であり、該画素マトリクス部、該ゲート駆動回路および該ソース駆動回路が絶縁表面を有する同一の基板上に製造工程上同時に形成されることを特徴とする半導体装置である。

【0016】ここでソース駆動回路はプリチャージ制御信号線と各々が複数の入力部をもつ複数の論理素子とを具え、このプリチャージ制御信号線は、水平帰線期間内にソース線をプリチャージすることを可能とするために外部より供給されるプリチャージ制御信号の伝達を行う。プリチャージ制御信号線は1本でも複数本でもよい。該複数の論理素子はそれぞれ、入力部の一つに少なくとも1本のプリチャージ制御信号線に接続している。

【0017】本発明は点順次書き込みを行うアクティブマトリクス型の液晶表示装置に利用すると効果が大きい。しかしアクティブマトリクス型の液晶表示装置の他の場合、EL表示装置あるいはプラズマディスプレイに用いることもできる。

【0018】本明細書で開示する他の発明はゲート駆動回路が、該ゲート駆動回路に接続する少なくとも一つのゲート線を介してゲート線選択信号オンを画素マトリクス部に供給して、画像信号の書き込みを受ける画素を行単位で選択し、ソース駆動回路が、該ソース駆動回路に接続するソース線を介して画像信号を該画素マトリクス部に供給し、点順次方式で画素に書き込みを行うステップと、該ゲート駆動回路が、該ゲート駆動回路に接続する全てのゲート線を介してゲート線選択信号オフを該画素マトリクス部に供給して、該ソース駆動回路が、該ソース線をプリチャージするステップとを、包含することを特徴とする半導体装置の駆動方法である。

【0019】ここでソース線をプリチャージするステップは1垂直走査期間のみならず、1水平走査期間にも含まれる。

【0020】なおプリチャージ回路には、画素マトリク

ス中で画像を表示しない領域に黒色を書き込み表示画像のコントラストを高めるときの、黒色書き込みを行う回路すなわちブラックフレーム回路の機能を併有させることもできる。そのため本発明はブラックフレーム回路に適用することもできる。ブラックフレーム回路に適用される場合は、ゲート線反転書き込みをするか否かに関わらず本発明は効果がある。

【0021】

【実施例】本発明を実施したソース駆動回路の第一の例を図4に示す。図4にはソース線3本分しか含まれていないが、全ソース線N本分について同様の構成がとられる。この実施例は、図2に記載の点順次方式ソース駆動回路の従来例に本発明を実施したものであり、プリチャージ制御信号線とプリチャージ制御信号を取り込むための論理素子であるナンドBとが図2の回路と比較し新たに付け加えられている。

【0022】図4の回路動作を、ある画素行書き込み期間とそれに続く1水平帰線期間でのタイミングチャートである図6を参照しながら説明する。本例では画像信号VDはドット反転書き込みをしているため、次の画素行書き込み期間ではVDは正負の符号が反転する。まず画像信号線493に画像信号VDが外部より伝達されるのに先立ち、ロウアクティブであるプリチャージ制御信号をハイにした後、書き込みを受ける画素行の画素TFTがゲートを接続しているゲート線についてゲート線選択信号GSをハイ（画素への書き込み可能状態）とする。

【0023】その後スタート信号SPがシフトレジスタ494の最初段のラッチに入力され、最初段のラッチは正反の両クロック信号CK、CKbに同期してOL0に示される信号を出力する。そしてOL0を入力信号として第二段のラッチはOL1を出力する。OL0とOL1が共にハイである期間が、第1本目のソース線において画像信号スイッチがオンとなり画像信号の書き込みが行われる期間である。同様にOL1とOL2が共にハイである期間が第2本目のソース線において、OL2とOL3が共にハイである期間が第3本目のソース線において画像信号の書き込みが行われる期間である。こうしてN本のソース線全てについて画像信号の書き込みが順次行われる。

【0024】書き込み期間が終了後、次の画素行について書き込みが開始されるまでの期間、すなわち水平帰線期間では、全てのゲート選択信号をロウ（画素への書き込み不可の状態）にする。そしてロウアクティブであるプリチャージ制御信号をロウにすることで、画像信号スイッチをオンにする。画像信号線には外部からゼロ電位となるように電荷を供給し、消極的プリチャージを行う。次の画素行の書き込み期間前にはプリチャージ制御信号をハイに戻す。

【0025】本例においてはプリチャージ制御信号線492は1本であったが、これを2本にすることもでき

る。その場合ナンドB421、423は同一のプリチャージ制御信号線に接続させ、ナンドB422は他方のプリチャージ制御信号線に接続させるというように、ひとつおきに別のプリチャージ制御信号線に接続させる。すると両プリチャージ制御信号線でプリチャージ制御信号PCCがロウ（アクティブ）となるタイミングをずらすことにより、積極的プリチャージも可能となる。

【0026】本発明を実施したソース駆動回路の第二の例を図5に示す。図5はソース線6本分しか含んでいないが、全ソース線2N本分について同様の構成がとられる。また本実施例も、点順次方式ソース駆動回路に本発明を実施したものであるが、図4の例と比較し次に2点が主に変更されている。すなわちパルス幅制御信号線595及びパルス幅制御信号を取り込むための論理素子（ノアA）を有する点と、1つのタイミングパルスで画像信号スイッチ2個をオンオフする点である。

【0027】パルス幅制御信号はナンドAのロウパルスの幅を削ることにより、ゴースト発生を防止する機能をもつ。ただしパルス幅制御信号を取り込むためにノアAを組み込んだ都合上、プリチャージ制御信号を取り込むための論理素子をナンドBではなくノアBとし、プリチャージ制御信号はハイアクティブとすることとした。パルス幅制御信号線は2本あり、隣接するノアAは交互に別のパルス幅制御信号線に接続する。例えばノアA516はパルス幅制御信号線595に接続するが、ノアA516に隣接するノアA517はもう一方のパルス幅制御信号線596に接続する。

【0028】画像信号スイッチ2個を同時にオンオフするのは、正反両クロック信号CK、CKbの周波数を下げることが主要な目的である。しかし画像信号スイッチ2個を同時にオンオフする場合、後述するように各画像信号線593と594は1書き込み期間（画素1行の書き込み期間）中で画像信号の符号を反転しないことから、消極的プリチャージのみならず積極的プリチャージが可能であるという利点もある。

【0029】図5の回路動作を、ある画素行書き込み期間とそれに続く水平掃線期間でのタイミングチャートである図7を用いて説明する。本例でも画像信号VDはドット反転書き込みをしている。

【0030】まず画像信号線693に画像信号VDが外部より伝達されるのに先立ち、ハイアクティブであるプリチャージ制御信号をロウにした後、書き込みを受ける画素行の画素TF Tがゲートを接続しているゲート線についてゲート線選択信号GSをハイ（画素への書き込み可能状態）とする。

【0031】その後スタート信号SPがシフトレジスタ494の最初段のラッチに入力され、最初段のラッチは正反の両クロック信号CK、CKbに同期してOL0に示される信号を出力する。そしてOL0を入力信号として第二段のラッチはOL1を出力する。

【0032】OL0とOL1が共にハイである期間が、第1本目および第2本目のソース線において画像信号スイッチがオンとなり画像信号の書き込みが行われ得る期間の上限である。本例ではパルス幅制御をするため画像信号の書き込み期間はこれよりも短くなる。今両パルス幅制御信号線595、596には、各々PWC1、PWC2のパルス幅制御信号が伝達される。パルス幅制御信号PWC1、PWC2はいずれもデューティ比が50%であり、周期はクロック信号CKのものと等しい。そしてパルス幅制御信号PWC1は7/16周期遅れたクロック信号CKの波形を、パルス幅制御信号PWC2は15/16周期遅れたクロック信号CKの波形をしており、PWC1とPWC2は互いに反転信号の関係にある。従って画像信号スイッチがオンとなる期間はナンドA出力よりも、パルス幅制御信号PWCの周期（＝クロック信号CKの周期）の1/16だけ削られる。

【0033】そして本例においては、1つのタイミングパルスでオンオフされる画像信号スイッチが2個であることに対応して、画像信号線も1本ずつ計2本存する。その結果1画素行書き込み期間中それぞれの画像信号線内では画像信号は符号を反転することなく、ソース線反転書き込みを実現することができる。例えば或画素行書き込み期間では画像信号線593にはVD1のような正の画像信号のみが伝達され、画像信号線594にはVD1のような負の画像信号のみが伝達される。但しゲート線反転が行われるため、次の画素行書き込み期間では現画素行書き込み期間とは画像信号の符号は反転される。すなわち画素信号線593で、現画素行書き込み期間において正符号の画像信号が伝達されていたときは、次の画素行書き込み期間において負符号の画像信号が伝達される。

【0034】各ラッチが順次OL2、OL3・・・と出力することにより、2本ずつ順次ソース線に画像信号が伝えられ、画素に書き込みが行われる。

【0035】一方、水平掃線期間では全てのゲート選択信号がロウ（画素への書き込み不可状態）にされた後、ハイアクティブであるプリチャージ制御信号をハイにすることで画像信号スイッチをオンにしプリチャージを行う。本例では、図4の例と同様に電位を0Vに保つことで消極的プリチャージを行うことも可能であるが、積極的プリチャージを以下のようにして行うことができる。すなわち直前の書き込み期間において正符号の画像信号を伝達していた画像信号線には、負符号の中間調電位を画像信号線に供給する。画像信号の電位が-5V～5Vの場合には、例えば-3Vを供給する。他方の画像信号線に対しては同様に例えば+3Vの電位が供給される。こうすることにより、消極的プリチャージすなわち両画像信号線に0Vの電位を供給するよりも、次の画素行の書き込みは容易になる。但し積極的プリチャージとして供給される電位は必ずしも中間調であることは要しな

い。特にプリチャージ回路がブラックフレーム回路の機能を果たしている場合などは $-5V$ 、 $+5V$ （ノーマリ・ホワイト条件）を供給してもよい。

【0036】水平帰線期間終了前にはプリチャージ制御信号をロウに戻す。

【0037】なお、本例は画像信号スイッチ2個を同時にオンオフする場合であったが、画像信号スイッチ何個を同時にオンオフしてもよい。但しソース線反転書き込みをするとき、消極的プリチャージをする場合は奇数個でも偶数個でもよいが、積極的プリチャージを行うには偶数個の方がよい。またプリチャージ回路がブラックフレーム回路の機能を果たしているときノーマリ・ホワイト条件ならば、画像信号スイッチ偶数個を同時にオンオフする形にする方がよい。

【0038】以上本発明の実施例を二通り説明したが、本発明の有効範囲はドット反転書き込み、ゲート線反転書き込みする場合に限られない。とりわけプリチャージ回路がブラックフレーム回路の機能を担う場合は、ドット反転書き込み、ゲート線反転書き込みでなくても本発明は有効である。そしてプリチャージは垂直帰線期間内でも行うことができる。プリチャージ回路が垂直帰線期間内で黒色書き込みするブラックフレーム回路の機能を担う場合は、垂直帰線期間内でのプリチャージも大きな利用価値がある。またプリチャージ制御信号線は1本でなく、複数本であってもよい。さらに本発明は半導体装置が液晶表示装置である場合のみならず、EL表示装置、プラズマディスプレイである場合に用いてもよい。

【0039】

【発明の効果】本明細書で開示する発明はアクティブマトリクス型の表示用半導体装置において、プリチャージ専用の回路によらずに各ソース線をプリチャージすることを可能とする。その結果、基板上の画面面積比率の向

上が図れ、より低コストでより画面が見易い表示用半導体装置をつくることができる。

【図面の簡単な説明】

【図1】 アクティブマトリクス型液晶表示装置の構成の概略を示す図である。

【図2】 従来のアクティブマトリクス型液晶表示装置のソース駆動回路の例を示す図である。

【図3】 従来のアクティブマトリクス型液晶表示装置のプリチャージ回路の例を示す図である。

10 【図4】 本発明を実施したソース駆動回路の第一の構成例を示す図である。

【図5】 本発明を実施したソース駆動回路の第二の構成例を示す図である。

【図6】 本発明を実施したソース駆動回路の第一の構成例の動作を説明するタイミングチャートである。

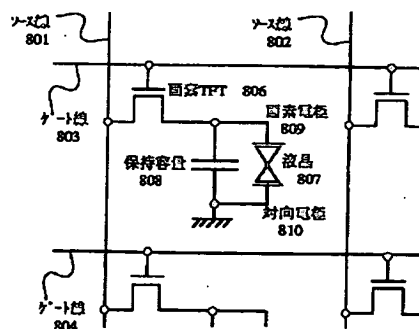
【図7】 本発明を実施したソース駆動回路の第二の構成例の動作を説明するタイミングチャートである。

【図8】 アクティブマトリクス型液晶表示装置の画素構成を示す図である。

20 【符号の説明】

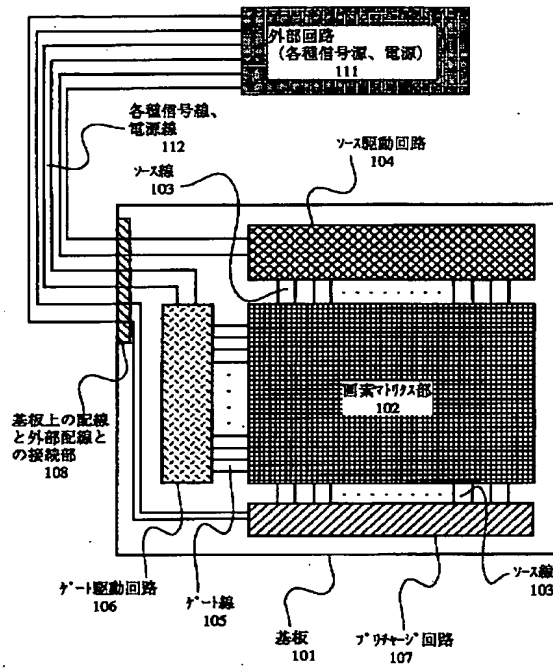
401、402、403	ラッチ
411、412、413	ナンドA
421、422、423	ナンドB
431、432、433	バッファ
441、442、443、446、447、448、451、452、453	インバータ
461、462、463	画像信号スイッチ
471、472、473	ソース線
490、491	クロック信号線
30 492	プリチャージ制御信号線
493	画像信号線
494	シフトレジスタ

【図8】



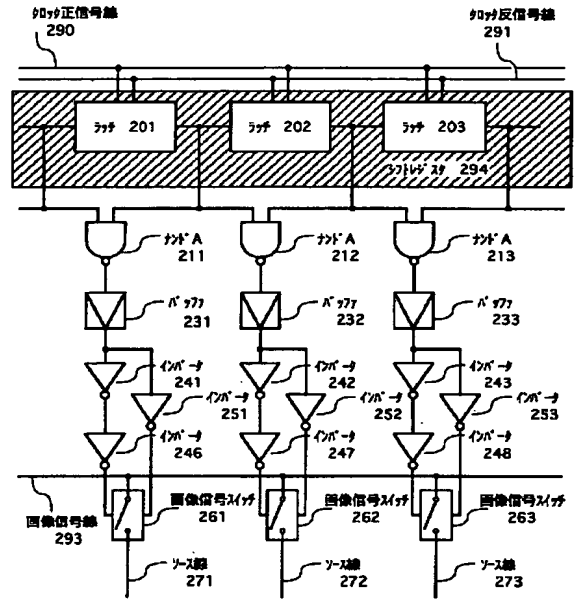
【図 1】

アクティブマトリクス型液晶表示装置の構成概略



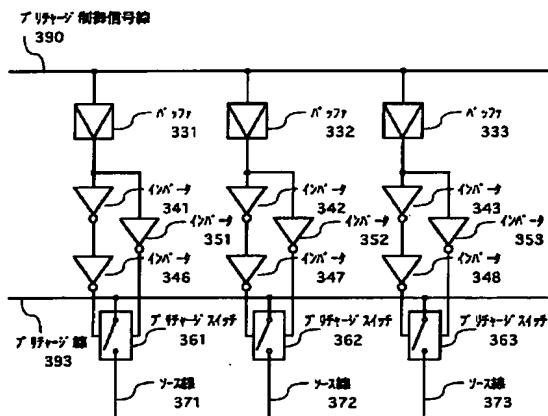
【図 2】

ソース駆動回路の従来の構成



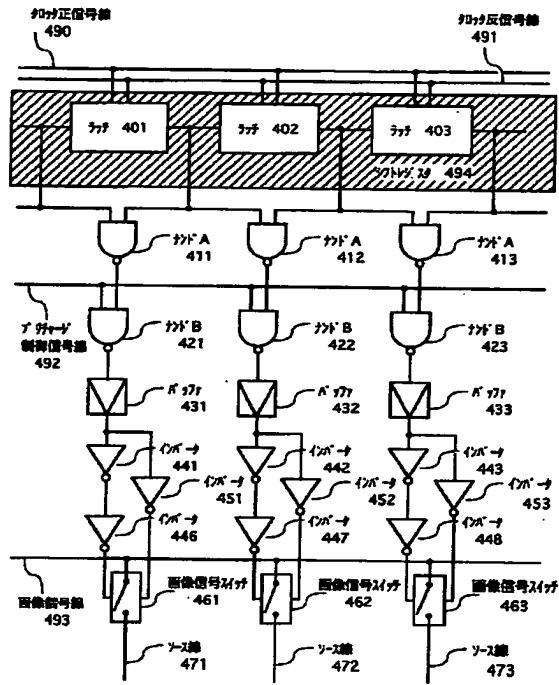
【図 3】

従来のプリチャージ回路の構成



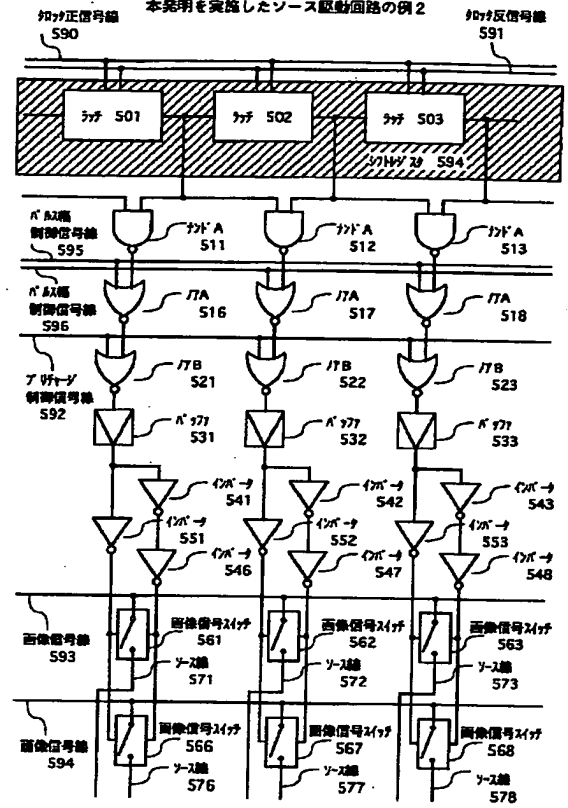
【図4】

本発明を実施したソース駆動回路の例1



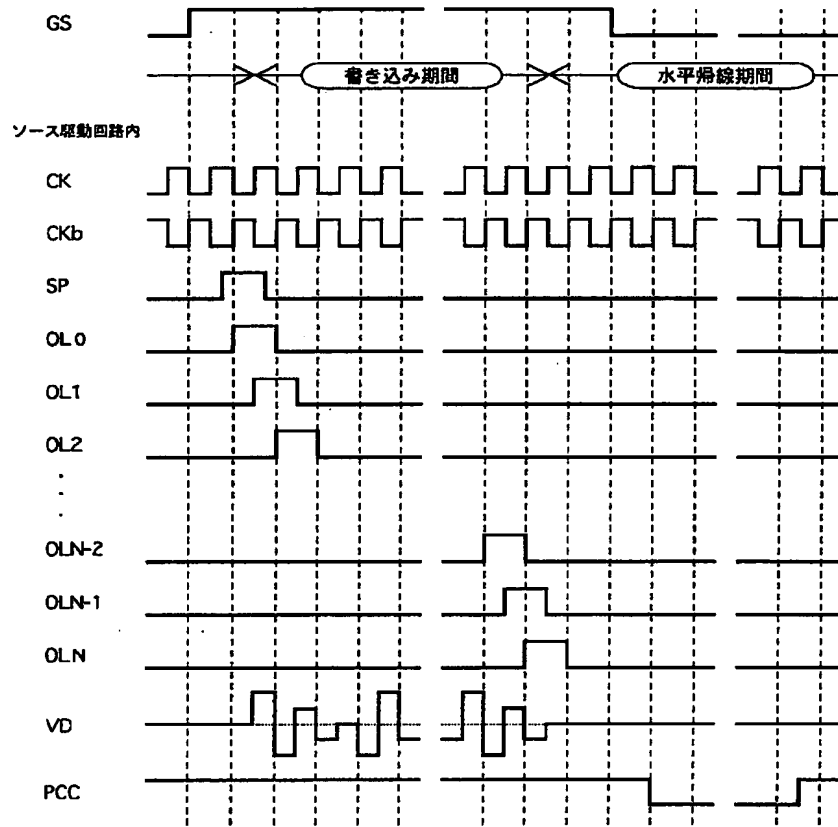
【図5】

本発明を実施したソース駆動回路の例2



【図 6】

本発明の実施例 1 のタイミングチャート



GS ; ゲート選択信号

CK ; クロック正信号、CKb ; クロック反信号、SP ; スタート信号

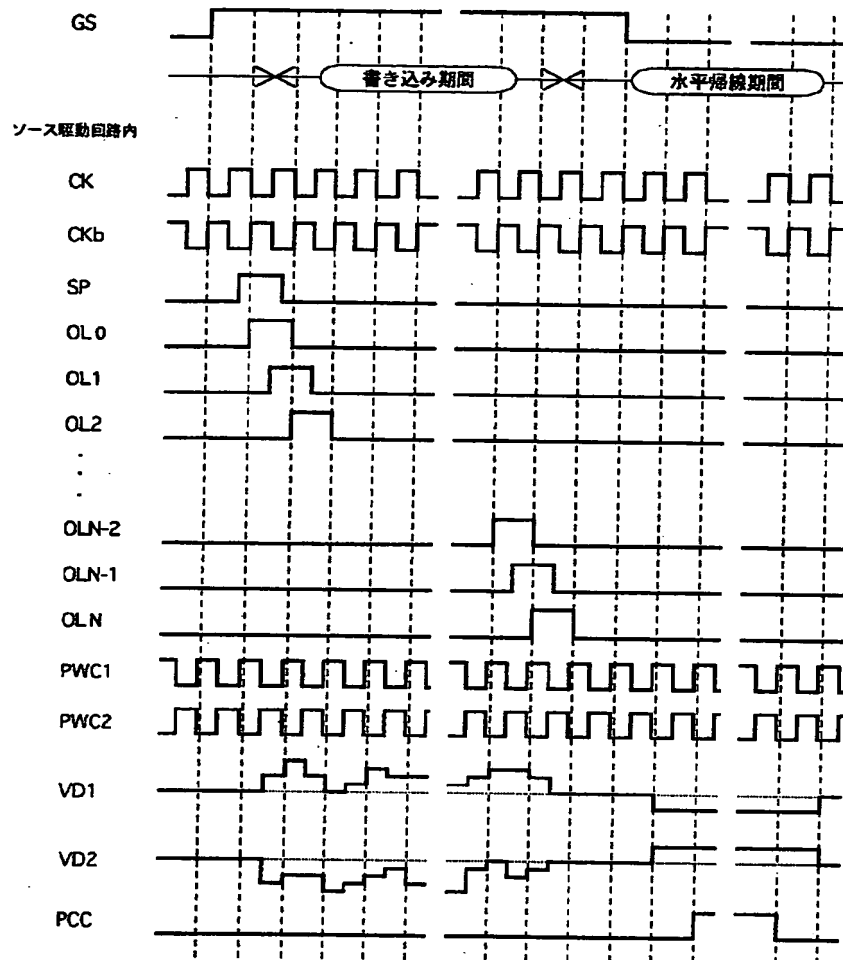
OL0 ; ラッチ出力0、OL1 ; ラッチ出力1、OL2 ; ラッチ出力2

OLN-2 ; ラッチ出力N-2、OLN-1 ; ラッチ出力N-1、OLN ; ラッチ出力N

VD ; 画像信号、PCC ; プリチャージ制御信号

【図7】

本発明の実施例2のタイミングチャート



GS ; ゲート選択信号、CK ; クロック正信号、CKb ; クロック反信号
 SP ; スタート信号、PWC1 ; パルス幅制御信号A、PWC2 ; パルス幅制御信号B
 OL0 ; ラッチ出力0、OL1 ; ラッチ出力1、OL2 ; ラッチ出力2
 OLN-2 ; ラッチ出力N-2、OLN-1 ; ラッチ出力N-1、OLN ; ラッチ出力N
 VD1 ; 画像信号A、VD2 ; 画像信号B、PCC ; プリチャージ制御信号